

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06077984 A**(43) Date of publication of application: **18.03.94**

(51) Int. Cl.

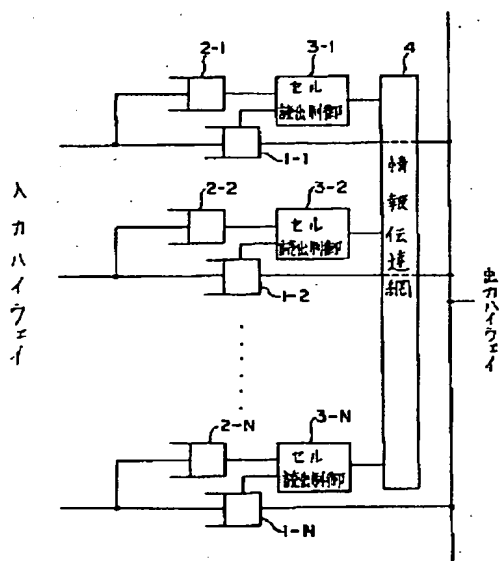
H04L 12/48(21) Application number: **04230060**(22) Date of filing: **28.08.92**(71) Applicant: **FUJITSU LTD**(72) Inventor: **TOMONAGA HIROSHI
MATSUOKA NAOKI
KATO YUJI****(54) CELL READ CONTROL SYSTEM FOR ATM SWITCH**

(57) Abstract:

PURPOSE: To enable read control at an ATM switch with one kind of LSI chips by distributedly arranging a memory for managing the arrival order of cells for each cross point.

CONSTITUTION: The cells inputted through an input highway are successively stored in cell buffers 1-1...1-N in the order of arrival. Based on required information from an information transmission network 4 and the correspondent outputs of FIFO memories 2-1...2-N for managing the arrival order of cells, cell read control parts 3-1...3-N respectively read the cells from the cell buffers. Thus, since the FIFO memory for managing the arrival order of cells is distributedly provided for each cross point, cell read control at the ATM switch is enabled with one kind of LSI chips.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-77984

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.⁵

H 0 4 L 12/48

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/ 20

Z

審査請求 未請求 請求項の数3(全 13 頁)

(21)出願番号 特願平4-230060

(22)出願日 平成4年(1992)8月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 朝永 博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 松岡 直樹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 祐司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 真田 有

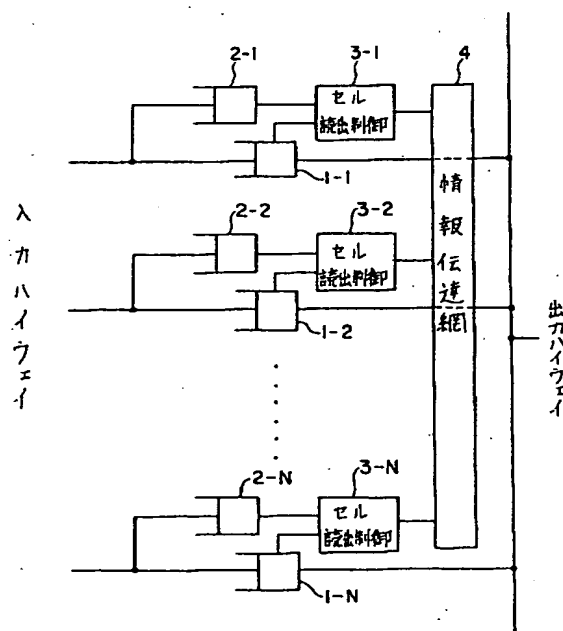
(54)【発明の名称】 ATMスイッチにおけるセル読出制御方式

(57)【要約】

【目的】 本発明は、クロスポイント・バッファ型のATMスイッチにおけるセル読出制御方式に関し、セルの到着順序を管理するメモリをクロスポイント毎に分散配置することにより、1種類のLSIチップのみにて実現できるようにすることを目的とする。

【構成】 各クロスポイントに配置されるセルバッファ1-I毎に、セルバッファ1-Iへのセルの到着順序を管理するFIFOメモリ2-Iと、FIFOメモリ2-Iからの出力に基づいて対応するセルバッファ1-Iよりセルを読み出すセル読出制御部3-Iとをそなえ、各セル読出制御部3-I間を情報伝達網4でつなぎ、情報伝達網4の情報を伝達させることにより、セル読出制御部3-Iによる各セルバッファ1-Iからのセル読出しを行なうように構成する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 複数の入力ハイウェイと複数の出力ハイウェイとの各クロスポイントに、入力ハイウェイからのセルを出力ハイウェイへ出力すべく、入力ハイウェイを通じて入力されてきたセルをセル到着順に蓄積していくセルバッファ(1-1, ..., 1-N)をそなえたATMスイッチにおいて、

各クロスポイントに配置されるセルバッファ(1-1, ..., 1-N)毎に、

該セルバッファ(1-1, ..., 1-N)へのセルの到着順序を管理するFIFOメモリ(2-1, ..., 2-N)と、

該FIFOメモリ(2-1, ..., 2-N)からの出力に基づいて対応するセルバッファ(1-1, ..., 1-N)よりセルを読み出すセル読出制御部(3-1, ..., 3-N)とをそなえ、

各セル読出制御部(3-1, ..., 3-N)間を情報伝達網(4)でつなぎ、該情報伝達網(4)の情報を伝達させることにより、セル読出制御部(3-1, ..., 3-N)による各セルバッファ(1-1, ..., 1-N)からのセル読出しを行なうことを特徴とする、ATMスイッチにおけるセル読出制御方式。

【請求項2】 各セル読出制御部(3-1, ..., 3-N)間を巡回するトークン伝達網でつなぎ、該トークン伝達網にトークンを巡回させることにより、セル読出制御部(3-1, ..., 3-N)が該トークンを受けたとき、対応するFIFOメモリ(2-1, ..., 2-N)の出力が送出セル無しの状態であれば、該トークンを次のセル読出制御部へ送る一方、対応するFIFOメモリの出力が送出セル有りの状態であれば、前段のセルバッファからのセル読出終了を待って、該当セル読出制御部によって、該当セルバッファからのセル読出しを行なうとともに該トークンを次のセル読出制御部へ送ることにより、

該セル読出制御部(3-1, ..., 3-N)による各セルバッファ(1-1, ..., 1-N)からのセル読出しを行なうことを特徴とする請求項1記載のATMスイッチにおけるセル読出制御方式。

【請求項3】 各セル読出制御部(3-1, ..., 3-N)間を往路と復路とからなる情報伝達網(4)でつなぎ、該情報伝達網(4)にマスタとなるセル読出制御部からの要求信号を最後のセル読出制御部まで順次伝達させたあと、最後のセル読出制御部から応答信号をマスタとなるセル読出制御部へ向け戻していく際に、該応答信号を受けたセル読出制御部(3-1, ..., 3-N)でセルを読み出す予定のない場合は、応答信号を更にマスタとなるセル読出制御部に近いセル読出制御部側へ戻す一方、

該応答信号を受けたセル読出制御部(3-1, ..., 3-N)でセルを読み出す予定のある場合は、このセル

読出制御部(3-1, ..., 3-N)で読出が開始されるのを待って、このセル読出制御部(3-1, ..., 3-N)で読出が開始されると、応答信号を更にマスタとなるセル読出制御部に近いセル読出制御部側へ戻すことにより、

該セル読出制御部(3-1, ..., 3-N)による各セルバッファ(1-1, ..., 1-N)からのセル読出しを行なうことを特徴とする請求項1記載のATMスイッチにおけるセル読出制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、クロスポイント・バッファ型のATMスイッチにおけるセル読出制御方式に関する。

【0002】

【従来の技術】 ATM交換機では、情報をセル毎に分解し、セルフルーティングに基づいて情報の交換を行なっている。ATMスイッチの構成の一つとして、クロスポイント・バッファ型のものを図12に示す。この図12に示すように、クロスポイント・バッファ型ATMスイッチでは、入力ハイウェイと出力ハイウェイ間のクロスポイントにバッファ40を置く構成となっている。かかるクロスポイント・バッファ構成は、スイッチの高速・大容量化への適合性や増設性、LSIのリピータビリティが良いという特徴を持つ。

【0003】 図13はこのクロスポイント・バッファ構成を用いたATMスイッチにおける従来のセル読出制御方式を示すブロック図である。この図13において、41-1, ..., 41-Nは書き込み用アドレスフィルタであり、この書き込み用アドレスフィルタ41-I(I=1~N; Nは自然数)は、対応する入力ハイウェイ上をセルが送られてくると、セルのヘッダ部分の情報を読み出してからセルを対応するセル退避用FIFOメモリ42-Iへ送り出すとともに、対応する入力ハイウェイの番号を到着順序管理用FIFOメモリ43に送るものである。

【0004】 セル退避用FIFOメモリ42-Iは、対応する書き込み用アドレスフィルタ41-Iから送られてきたセルを到着順に蓄えておき、対応する読み出し用アドレスフィルタ45-Iの指示によって出力ハイウェイにセルを到着順に送り出すものである。到着順序管理用FIFOメモリ43は、書き込み用アドレスフィルタ41-Iから送られる入力ハイウェイ番号を到着順に蓄えておき、出力ハイウェイが輻輳しないようなタイミングで到着順に出力するものである。なお、この到着順序管理用FIFOメモリ43によって多重制御部44が構成される。

【0005】 読み出し用アドレスフィルタ45-Iは、到着順序管理用FIFOメモリ43から出力される入力ハイウェイ番号が対応する入力ハイウェイのも

のであると、対応するセル退避用FIFOメモリ42-Iへセルを一つ読み出すよう指示するものである。このような構成により、以下のような動作を行なう。

【0006】対応する入力ハイウェイ上をセルが送られてくると、書き込み用アドレスフィルタ41-Iは、セルのヘッダ部分の情報を読み出してからセルに対応するセル退避用FIFOメモリ42-Iへ送り出すとともに、対応する入力ハイウェイの番号を到着順序管理用FIFOメモリ43へ送る。セル退避用FIFOメモリ42-Iは、対応する書き込み用アドレスフィルタ41-Iから送られてきたセルを到着順に蓄えておく。

【0007】一方、到着順序管理用FIFOメモリ43は入力ハイウェイの番号を到着順に蓄えておき、セル退避用FIFOメモリ42-Iから出力されるセルによって出力ハイウェイが輻輳しないようなタイミングで到着順に入力ハイウェイ番号を出力する。読み出し用アドレスフィルタ45-Iは到着順序管理用FIFOメモリ43から出力される入力ハイウェイ番号が対応する入力ハイウェイのものであると、対応するセル退避用FIFOメモリ42-Iへセルを一つ読み出すように指示する。すると、セル退避用FIFOメモリ42-Iは対応する読み出し用アドレスフィルタ45-Iからの指示に従って到着順にセルを一つ読み出す。

【0008】以上述べてきたように、出力ハイウェイ毎に到着順序管理用FIFOメモリ43を設けて、これにセルの到着順序を集中的に管理させ、通話路混雑時に出力ハイウェイが輻輳状態となって情報の紛失が生じたりすることのないようにしている。

【0009】

【発明が解決しようとする課題】しかしながら、このような従来のATMスイッチにおけるセル読出制御方式では、セルの到着順序を出力ハイウェイ毎に一つのメモリにて集中的に管理しているために、セル到着順序を管理するメモリに用いるLSIと入力ハイウェイと出力ハイウェイのクロスポイントにおかれるバッファに用いるLSIとの2種類ものLSIチップを用いなければならない。

【0010】本発明は、このような課題に鑑み創案されたもので、セルの到着順序を管理するメモリをクロスポイント毎に分散配置することにより、1種類のLSIチップのみにて実現できるようにした、ATMスイッチにおけるセル読出制御方式を提供することを目的とする。

【0011】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、1-I (I=1~N)はセルバッファであり、このセルバッファ1-Iは、入力ハイウェイからのセルを出力ハイウェイへ出力すべく入力ハイウェイと出力ハイウェイとのクロスポイントに設けられ、入力ハイウェイを通じて入力されてきたセルをセル到着順に蓄積していくものである。

【0012】2-IはFIFOメモリであり、このFIFOメモリ2-Iは対応するセルバッファ1-Iへのセルの到着順序を管理するものである。3-Iはセル読出制御部であり、このセル読出制御部3-Iは、対応するFIFOメモリ2-Iからの出力に基づいて対応するセルバッファ1-Iよりセルを読み出すものである。

【0013】4は情報伝達網であり、この情報伝達網4は、各セル読出制御部3-I間をつなぎ、所要の情報を伝達するものである(請求項1)。なお、情報伝達網4として、各セル読出制御部3-I間をトークン伝達網でつなぐようにしても良く(請求項2)、あるいは、各セル読出制御部3-I間を往路と復路からなる情報伝達網でつなぐようにしても良い(請求項3)。

【0014】

【作用】上述の本発明のATMスイッチにおけるセル読出制御方式では、入力ハイウェイを通じて入力されてきたセルはセルバッファ1-Iにて到着順に蓄積される。また、セルの各セルバッファ1-I間での到着順序はFIFOメモリ2-Iが管理する。セル読出制御部3-Iは、各セル読出制御部3-I間をつなぎ情報伝達網4の伝達する所要の情報と、対応するFIFOメモリ2-Iからの出力に基づいて、対応するセルバッファ1-Iからセル読出しを行なう(請求項1)。

【0015】なお、情報伝達網4として、各セル読出制御部3-I間をトークン伝達網でつないだ場合には、このトークン伝達網にトークンを巡回させ、セル読出制御部3-Iがトークンを受けたとき、対応するFIFOメモリ2-Iの出力が送出セル無しの状態であればトークンを次のセル読出制御部3-Iへ送る一方、対応するFIFOメモリ2-Iの出力が送出セル有りの状態であれば、前段のセルバッファ1-Iからのセル読出し終了を待ってから該当セル読出制御部3-Iによって、該当セルバッファ1-Iからのセル読出しを行なうとともに、トークンを次のセル読出制御部3-Iへ送ることにより、セル読出制御部3-Iによる対応するセルバッファ1-Iからのセル読出しを行なう(請求項2)。

【0016】また、情報伝達網4として、各セル読出制御部3-I間を往路と復路とからなる情報伝達網でつないだ場合には、情報伝達網4にマスタとなるセル読出制御部からの要求信号を最後のセル読出制御部まで順次伝達させたあと、最後のセル読出制御部から応答信号をマスタとなるセル読出制御部へ向け戻していく際に、応答信号を受けたセル読出制御部3-Iでセルを読み出す予定のない場合は、応答信号を更にマスタとなるセル読出制御部に近いセル読出制御部側へ戻す一方、応答信号を受けたセル読出制御部3-Iでセルを読み出す予定のある場合は、このセル読出制御部3-Iで読出が開始されるのを待って、このセル読出制御部3-Iで読出が開始されると、応答信号を更にマスタとなるセル読出制御部に近いセル読出制御部側へ戻すことにより、セル読出制

御部3-Iによる対応するセルバッファ1-Iからのセル読出しを行なう(請求項3)。

【0017】

【実施例】以下、図面を参照して本発明の実施例を説明する。

(a) 第1実施例の説明

図2は本発明の第1実施例を示すブロック図で、この図2において、10-1, ..., 10-4は書き込み用アドレスフィルタであり、この書き込み用アドレスフィルタ10-1, ..., 10-4は、セル周期毎に、入力ハイウェイ上をセルが送られてくると、セルのヘッダ部分の情報を読み出してからセルを対応するセルバッファ11-1, ..., 11-4へ送り出すとともに、対応するFIFOメモリ12-1, ..., 12-4へ「1」を送るものである。

【0018】セルバッファ11-1, ..., 11-4は、対応する書き込み用アドレスフィルタ10-1, ..., 10-4から送られてきたセルを到着順に蓄えておき、対応する読出制御部13-1, ..., 13-4の指示によって、蓄えておいたセルを到着順に読み出すものである。FIFOメモリ12-1, ..., 12-4は、対応する書き込み用アドレスフィルタ10-1, ..., 10-4から送られる「1」と、セルが送られてこない時に書き込まれる「0」とを到着順に蓄えておき、対応する読出制御部13-1, ..., 13-4によって、蓄えておいた「1」または「0」の信号を到着順に読み出されるものである。

【0019】読出制御部13-1, ..., 13-4は、対応するFIFOメモリ12-1, ..., 12-4から読み出した「1」または「0」の信号と、対応するトークン制御部14-1, ..., 14-4からの信号に基づいて、対応するセルバッファ11-1, ..., 11-4にセル読出を指示するものである。トークン制御部14-1, ..., 14-4は、トークン伝達網によって互いにつながれており、トークン伝達網を通じてトークンを1セル周期で一周巡回させるものである。

【0020】15はトークン監視部であり、このトークン監視部15はトークンの重複や紛失を検出し、復旧するためのものである。なお、FIFOメモリ12-i, 読出制御部13-i, トークン制御部14-iにより、多重制御部16-i (iは1, 2, 3, 4で、以下同様) が構成される(ただしi=1の場合は、トークン監視部15も多重制御部16-1に含まれる)。多重制御部16-iを詳細に説明する図を図3に示す。

【0021】図3において、17, 18はバッファ回路であるが、この図3に示すように、多重制御部16-iは他の多重制御部とワイアドOR(Wired-OR)されている。これにより、書き込み用アドレスフィルタ10-iから「1」が送られてきた場合には、それがF

IFOメモリ12-iへ書き込まれる一方、書き込み用アドレスフィルタ10-iからは何も送られず、且つ、他の多重制御部ではFIFOメモリに「1」が書き込まれるという場合には、FIFOメモリ12-iには「0」が書き込まれるようになっている。

【0022】次に、読出制御部13-iとトークン制御部14-iとを詳細に説明する図を図4に示す。この図4に示すように、読出制御部13-iは制御ロジック19, FIFO読出レジスタ20, 読出可用レジスタ21により構成され、トークン制御部14-iはトークン送信部22とトークン受信部23とから構成される。制御ロジック19は、FIFO読出レジスタ20を介してFIFOメモリ12-iへ読み出し命令を送ってFIFOメモリ12-iから「1」または「0」の信号を読み出し、この「1」または「0」の信号と、トークン受信部23から送られる信号とに基づいて、読出可用レジスタ21を介してセルバッファ11-iへ読出可の信号を送る一方、セルバッファ11-iからセルの読み出しを開始した旨の信号を受け取ると、トークン送信部22へトークンを次段へ送るよう指示するものである。

【0023】トークン送信部22は制御ロジック19の指示に従ってトークンを次段へ送るものであり、トークン受信部23は前段からトークンを受け取るとその旨を制御ロジック19へ伝えるものである。また、トークン伝達網を説明する図を図5に示す。トークン伝達網は図5に矢印で示されるように、各トークン制御部14-1, ..., 14-4をつないで構成されており、トークンは矢印の方向にトークン伝達網を1セル周期に一周巡回する。

【0024】上述の構成により、以下のような動作を行なう。図6に沿って説明する。FIFOメモリ12-1, ..., 12-4に対応する入力ハイウェイをそれぞれ#1, ..., #4とする。最初のセル周期 $t_0 \sim t_1$ 間では、入力ハイウェイ#1と入力ハイウェイ#2にのみセルが到着しているので、書き込み用アドレスフィルタ10-1, 10-2は対応するFIFOメモリ12-1, 12-2へ「1」を書き込むとともに、対応するセルバッファ11-1, 11-2へセルを送り出す。一方、入力ハイウェイ#3と入力ハイウェイ#4にはセルが到着していないので、対応するFIFOメモリ12-3, 12-4には「0」が書き込まれる。

【0025】つづいて、セル周期 $t_1 \sim t_2$ 間、 $t_2 \sim t_3$ 間、 $t_3 \sim t_4$ 間でも同様に、セルが入力ハイウェイ#iに到着すれば、書き込み用アドレスフィルタ10-iはFIFOメモリ12-iへ「1」を書き込むとともに、セルバッファ11-iへセルを送り出す一方、セルが入力ハイウェイ#iに到着せず、かつ他の入力ハイウェイに到着した場合には、FIFOメモリ12-iには「0」が書き込まれる。セルバッファ11-iは対応する書き込み用アドレスフィルタ10-iから送られて

くるセルを到着順に蓄えておき、FIFOメモリ12-iは「1」または「0」の信号を書き込まれた順に蓄えておく。

【0026】上述のようにしてセルバッファ11-1, ..., 11-4に蓄えられたセルを以下のようにして読み出す。トークン制御部14-iのトークン受信部23は、トークンを前段から受け取ると、その旨を制御ロジック19へ通知する。制御ロジック19は、FIFOメモリ12-iから1セル周期毎に「1」または「0」の情報を読み出しており、トークンを受け取った旨の通知をトークン受信部23から受けた時に、FIFOメモリ12-iから読み出しておいた情報が「1」であれば、読出可能レジスタ21を介してセルバッファ11-iへ読出可の信号を送る。セルバッファ11-iは読出可の信号を受け取ると、次のセル周期でセルの読み出しを開始するが、他に読み出し中のセルバッファが存在すれば、その読み出し終了を待ってから、セルの読み出しを開始する。

【0027】また、トークンはトークン制御部14-iのトークン受信部23にて受け取られた後、1つ前のセル周期で制御ロジック19がセルバッファ11-iへ読出可の信号を送っていて、且つまだそのセル読み出しが開始されていない場合には、セル読み出しが開始されるのを待ってから、制御ロジック19の指示によって、トークン送信部22から次段に送られるが、それ以外の場合には、制御ロジック19は、トークン受信部23からトークンを受け取った旨の通知を受けると、直ちにトークンを次段へ送るようにトークン送信部22へ指示する。

【0028】このようにセルの到着順序を管理するメモリをクロスポイント毎に分散配置することにより、1種類のLSIチップのみにて、図6に示すように入力ハイウェイから入力されたセルを到着順に出力ハイウェイに出力することができる。なお、トークン監視部15はトークンの重複や紛失を検出すると、それらの状態を正常な状態に復旧させる。

【0029】また、上述のトークンの動きを図6に合わせてタイムチャートで表したのが、図7である。この図7において、トークンの動きは太線で示している。なお、FIFOメモリ12-iからの読み出しは1セル周期毎に行なうのであるが、この読み出しタイミングは、トークンが一周する毎に行なっても良く、トークンが来た次のクロックで行なっても良い。

【0030】(b) 第2実施例の説明

図8は本発明の第2実施例を示すブロック図で、この図8において、書き込み用アドレスフィルタ10-1, ..., 10-4, セルバッファ11-1, ..., 11-4, FIFOメモリ12-1, ..., 12-4, 読出制御部13-1, ..., 13-4は図2に示す第1実施例と同様であるので、詳細な説明は省略する。

【0031】30はマスター部であり、このマスター部30はセル周期に同期してREQ信号(要求信号)を出すものである。31-1, ..., 31-4は通信部であり、この通信部31-1, ..., 31-4は互いに情報伝達網によってつながっており、この情報伝達網を通じて、REQ信号(要求信号), END信号(応答信号)を次々に伝えていくようになっている。

【0032】なお、FIFOメモリ12-i, 読出制御部13-i, 通信部31-iにより、多重制御部32-iが構成される(ただし、i=1の場合はマスター部30も多重制御部32-1に含まれる)。そして、この多重制御部32-1, ..., 32-4は第1実施例における多重制御部16-1, ..., 16-4と同様に、お互いにWired-ORされている。

【0033】次に、読出制御部13-iと通信部31-iとを詳細に説明する図を図9に示す。この図9に示すように、通信部31-iは、ロジック33, 微分回路34, AND回路35, NOT回路36で構成される。なお、図9において、制御ロジック19, FIFO読出レジスタ20, 読出可能レジスタ21は第1実施例と同様であるので、詳細な説明は省略する。

【0034】また、第2実施例における情報伝達網と情報伝達網における信号の流れを説明する図を図10に示す。この図10に示すように、マスター部30から出たREQ信号は各多重制御部32-1, ..., 32-4の通信部31-1, ..., 31-4を次々と伝わり、最後の多重制御部、すなわち多重制御部32-4へ達すると、今度はEND信号となってREQ信号とは逆の順序にて各多重制御部32-1, ..., 32-4の通信部31-1, ..., 31-4を次々に伝わり、マスター部30へ戻るようになっている。

【0035】上述の構成により、以下のような動作を行なう。図6に沿って説明する。FIFOメモリ12-1, ..., 12-4に対応する入力ハイウェイをそれぞれ#1, ..., #4とする。最初のセル周期 $t_0 \sim t_1$ 間では、入力ハイウェイ#1と入力ハイウェイ#2にのみセルが到着しているので、書き込み用アドレスフィルタ10-1, 10-2は対応するFIFOメモリ12-1, 12-2へ「1」を書き込むとともに、対応するセルバッファ11-1, 11-2へセルを送り出す。一方、入力ハイウェイ#3と入力ハイウェイ#4にはセルが到着していないので、対応するFIFOメモリ12-3, 12-4には「0」が書き込まれる。

【0036】つづいて、セル周期 $t_1 \sim t_2$ 間、 $t_2 \sim t_3$ 間、 $t_3 \sim t_4$ 間でも同様に、セルが入力ハイウェイ#iに到着すれば書き込み用アドレスフィルタ10-iはFIFOメモリ12-iへ「1」を書き込むとともに、セルバッファ11-iへセルを送り出す一方、セルが入力ハイウェイ#iに到着せず、かつ他の入力ハイウェイに到着した場合には、FIFOメモリ12-iには

「0」が書き込まれる。セルバッファ11-iは対応する書き込み用アドレスフィルタ10-iから送られてくるセルを到着順に蓄えておき、FIFOメモリ12-iは「1」または「0」の信号を書き込まれた順に蓄えておく。

【0037】上述のようにしてセルバッファ11-1, ..., 11-4に蓄えられたセルを以下のようにして読み出す。まず、マスター部30がセル周期と同期してREQ信号を出す。多重制御部32-iの通信部31-iでは、REQ信号を受け取ると直ちに次の多重制御部へREQ信号を送るとともに、読出制御部13-iの制御ロジック19へREQ信号を受け取ったことを伝える。制御ロジック19では1つ前のセル周期にFIFOメモリ12-iから読み出した値が「1」であれば、読出可用レジスタ21を介してセルバッファ11-iへ読出可の信号を送る。セルバッファ11-iは他に読み出し中のセルバッファがなければ読み出しを開始する。

【0038】REQ信号は最後の多重制御部すなわち多重制御部32-4に達すると、END信号となって、REQ信号とは逆の経路にてマスター部30へ戻っていくが、その際、多重制御部32-iでは、制御ロジック19が読出可の信号をセルバッファ11-iへ出しており、且つ、その読み出しが開始されていなければ、セルバッファ11-iの読み出し開始を待ってから、次の多重制御部へEND信号を送るが、それ以外の場合は、END信号を受け取ると直ちに次の多重制御部へEND信号を送る。

【0039】このようにして、この第2実施例の場合も、セルの到着順序を管理するメモリをクロスポイント毎に分散配置することにより、1種類のLSIチップのみにて、図6に示すように入力ハイウェイから入力されたセルを、到着順に出力ハイウェイに出力することができる。そして、上述のREQ信号、END信号の動きを図6に合わせてタイムチャートで表したのが図11である。この図11において、下向き矢印の太線がREQ信号、上向き矢印の太線がEND信号である。なお、上述の第2実施例に示した方式は、手順を簡略化しているので、高速に動作することができる。

【0040】(c) その他

また、第1実施例、第2実施例いずれの方式においても、セルバッファを複数の入力ハイウェイで共用する構成にする場合は、セルバッファに到着順序管理用のFIFOメモリを収容した入力ハイウェイの数だけ備えることにより実現することができる。

【0041】

【発明の効果】以上詳述したように、本発明のATMスイッチにおけるセル読出制御方式によれば、セルの到着順を管理するFIFOメモリをクロスポイント毎に分散配置することによって、従来、セル到着順序管理用とセル退

避用の2種類のLSIチップが必要であったのを、1種類のLSIチップのみにて実現することが可能となり、これにより製造コスト削減に非常に効果がある。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の第1実施例を示すブロック図である。

【図3】多重制御部を詳細に説明するブロック図である。

【図4】読出制御部とトークン制御部を詳細に説明するブロック図である。

【図5】トークン伝達網を説明する図である。

【図6】FIFOメモリの動作を説明する図である。

【図7】トークンの動きを示すタイムチャートである。

【図8】本発明の第2実施例を示すブロック図である。

【図9】読出制御部と通信部を詳細に説明するブロック図である。

【図10】情報伝達網と信号の流れを説明する図である。

【図11】REQ信号、END信号の動きを示すタイムチャートである。

【図12】クロスポイント・バッファ型ATMスイッチを示す図である。

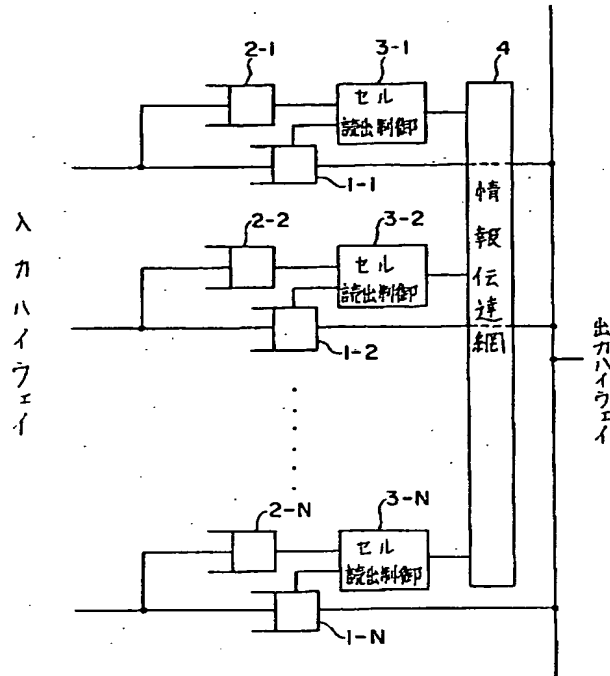
【図13】従来例を示すブロック図である。

【符号の説明】

- 1-I, 11-i セルバッファ
- 2-I, 12-i FIFOメモリ
- 3-I セル読出制御部
- 4 情報伝達網
- 10-i, 41-I 書き込み用アドレスフィルタ
- 13-i 読出制御部
- 14-i トークン制御部
- 15 トークン監視部
- 16-i, 32-i, 44 多重制御部
- 17, 18 バッファ回路
- 19 制御ロジック
- 20 FIFO読出レジスタ
- 21 読出可用レジスタ
- 22 トークン送信部
- 23 トークン受信部
- 30 マスター部
- 31-i 通信部
- 33 ロジック
- 34 微分回路
- 35 AND回路
- 36 NOT回路
- 40 バッファ
- 42-I セル退避用FIFOメモリ
- 43 到着順序管理用FIFOメモリ
- 45-I 読み出し用アドレスフィルタ

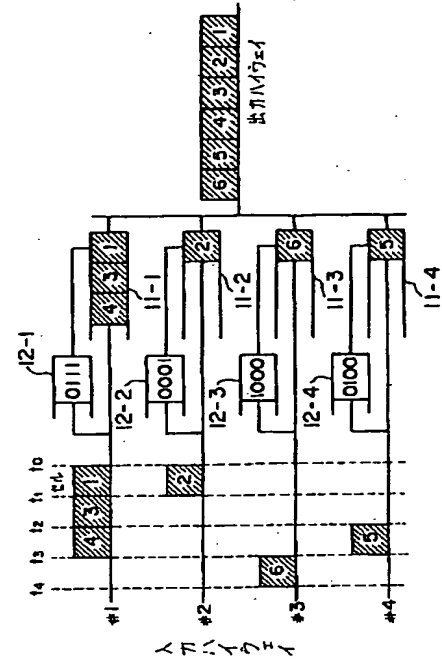
【図1】

本発明の原理ブロック図



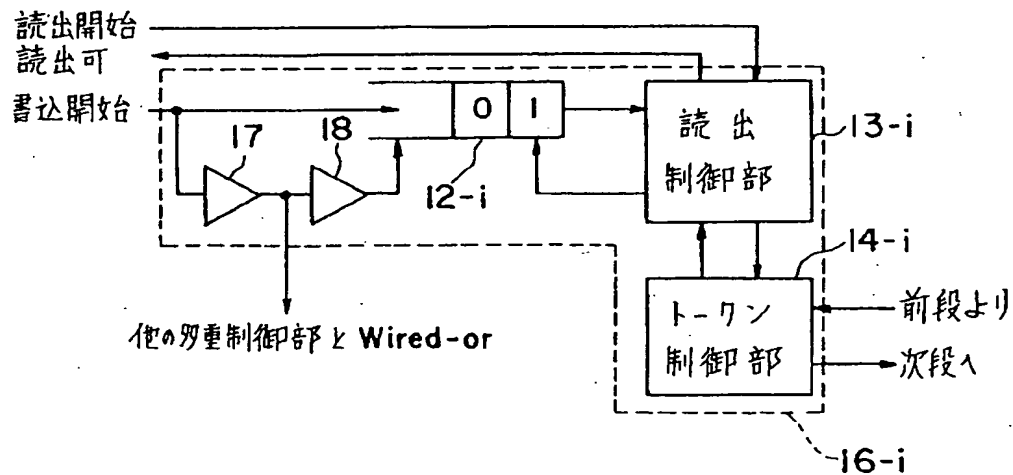
【図6】

FIFOメモリの動作を説明する図



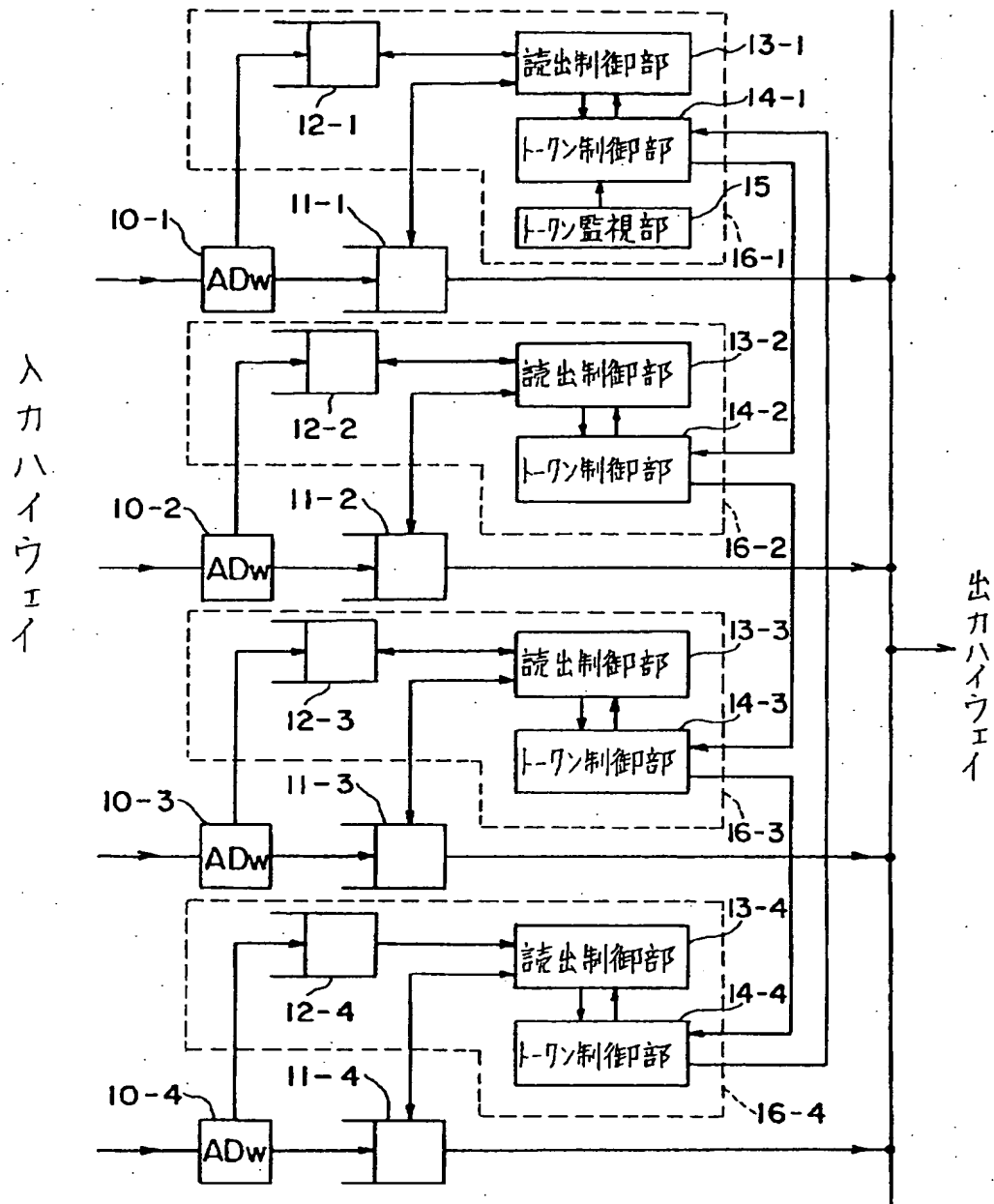
【図3】

多重制御部を詳細に説明するブロック図



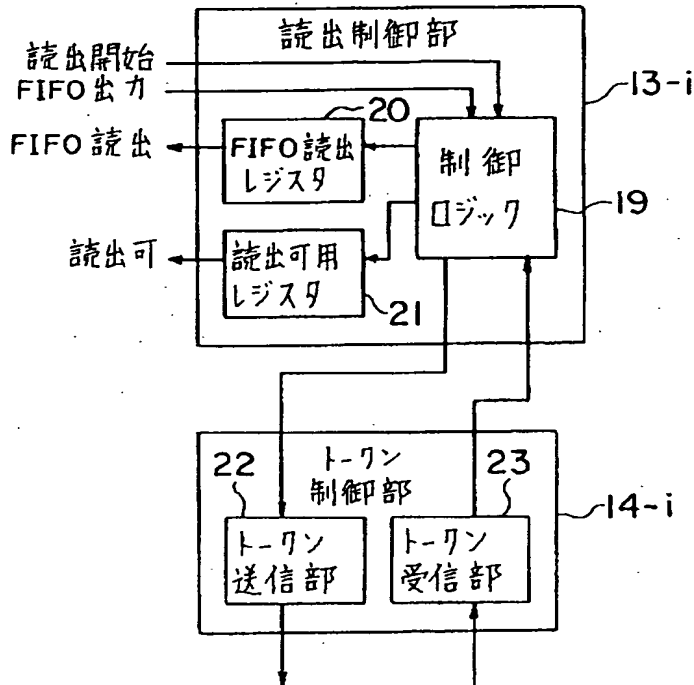
【図2】

本発明の第1実施例を示すブロック図



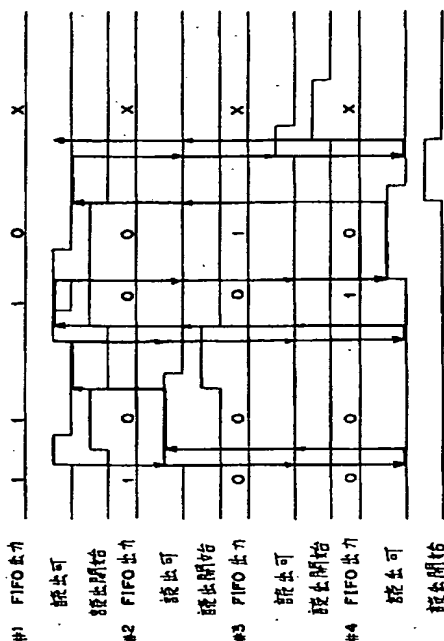
【図4】

読出制御部とトークン制御部を詳細に説明するブロック図



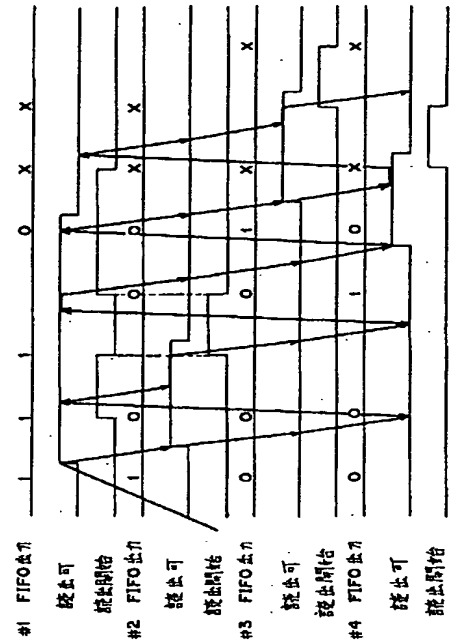
【図11】

REQ信号,END信号の動きを示すタイムチャート



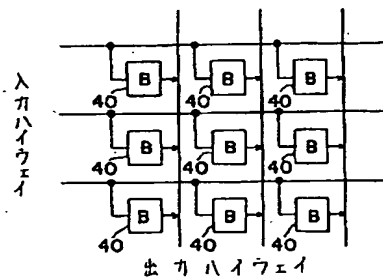
【図7】

トークンの動きを示すタイムチャート



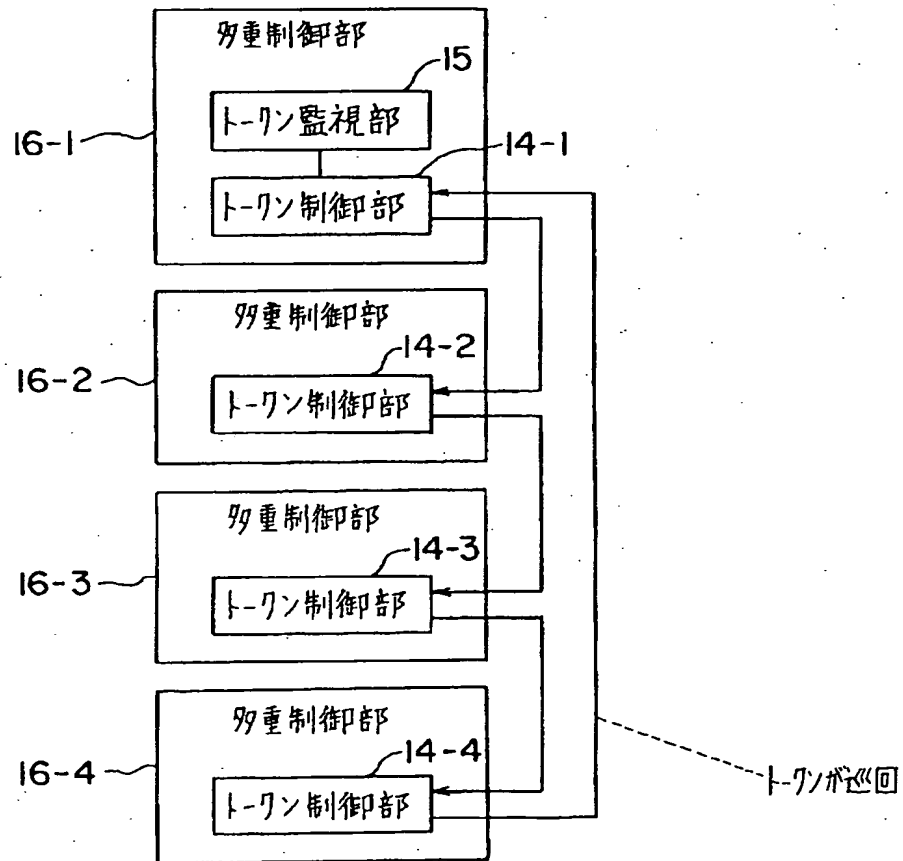
【図12】

702ポイント・バッファ型 ATMスイッチを示す図



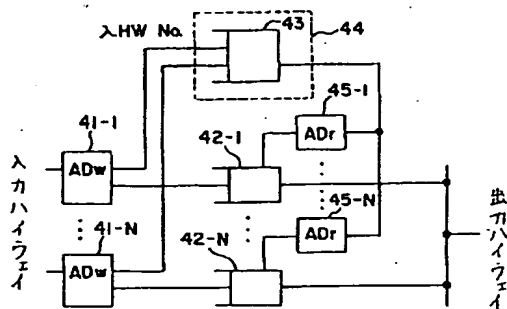
【図5】

トーン伝達網を説明する図



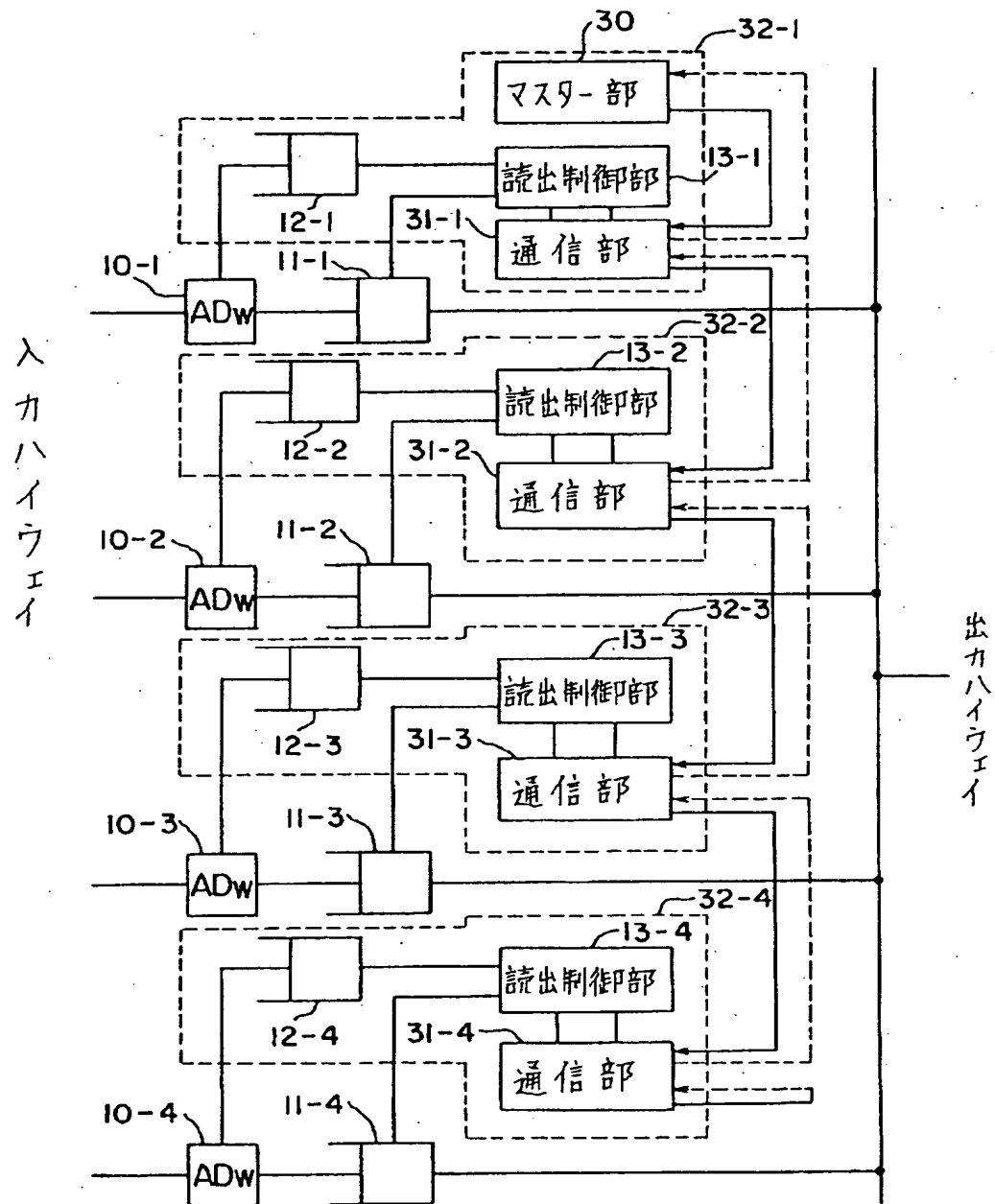
【図13】

従来例を示すブロック図



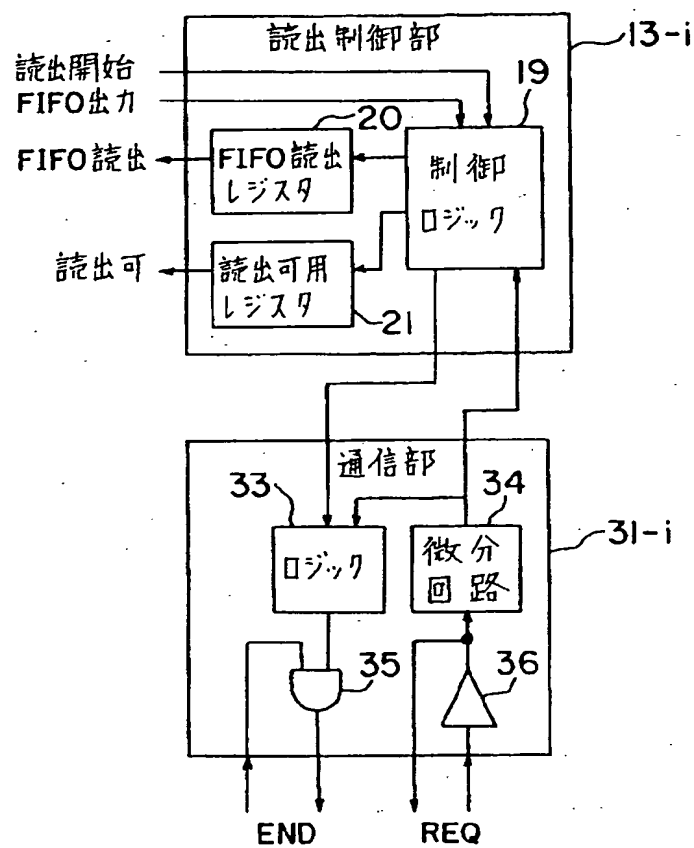
【図8】

本発明の第2実施例を示すブロック図



【図9】

読出制御部と通信部を詳細に説明するブロック図



【図10】

情報伝達網と信号の流れを説明する図

